

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05123190     \*\*Image available\*\*

SEMICONDUCTOR CIRCUIT

PUB. NO.:     08-078690 [JP 8078690 A]

PUBLISHED:     March 22, 1996 (19960322)

INVENTOR(s): YAMAZAKI SHUNPEI

TERAMOTO SATOSHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese  
Company

or Corporation), JP (Japan)

APPL. NO.:     06-230647 [JP 94230647]

FILED:     August 31, 1994 (19940831)

INTL CLASS:     [6] H01L-029/786; G02F-001/136; H01L-021/20; H01L-021/268;  
H01L-021/336

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096  
(ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC  
MATERIALS -- Ion Implantation)

#### ABSTRACT

PURPOSE: To form crystalline silicon TFTs capable of high-speed operation and amorphous silicon TFTs having a low OFF-current characteristic on the same substrate, by adding metal elements for helping the crystalization of silicon with a constant concentration, in the active region of a thin-film transistor constituting a peripheral drive circuit.

CONSTITUTION: A silicon oxide base film 11 is formed on a substrate 10 by sputtering. In addition, an amorphous silicon film 12 is deposited. In addition consecutively, a silicon film 13 containing nickel is formed selectively by sputtering. On this occasion, the concentration of nickel is  $1 \times 10^{16}$  to  $5 \times 10^{19}$  cm<sup>-3</sup>. At this time, monodomain regions represented by 121 and 122 are nearer to single crystal silicon and have few defects owing to the function of nickel. While one in a region 123 has relatively more defects. Consequently, it becomes possible to form

crystalline silicon TFTs capable of high-speed operation and amorphous silicon TFTs of a low OFF-current characteristic on the same substrate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78690

(43) 公開日 平成8年(1996)3月22日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 29/786

G02F 1/136

H01L 21/20

500

9056-4M

H01L 29/78

612

B

9056-4M

627

G

審査請求 未請求 請求項の数6 F D (全10頁) 最終頁に続く

(21) 出願番号

特願平6-230647

(22) 出願日

平成6年(1994)8月31日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 寺本 聡

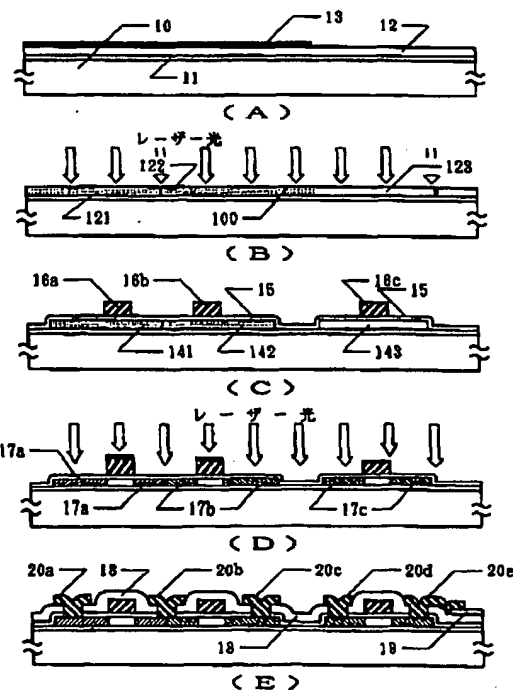
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体回路

(57) 【要約】 (修正有)

【目的】 薄膜トランジスタ (T F T) の回路において、低リーク電流のT F Tと高速動作が可能なT F Tを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜12に密着して触媒元素を有する物質を選択的に形成し、もしくはアモルファスシリコン膜中に触媒元素を選択的に導入し、このアモルファスシリコン膜13にレーザーもしくはそれと同等な強光を照射することによって結晶化させる。そして、触媒元素の少ない結晶シリコン領域をアクティブマトリクス回路の画素回路に使用されるT F Tに、触媒元素の多い結晶シリコン領域を周辺駆動回路に使用されるT F Tに用いる。



## 【特許請求の範囲】

【請求項1】基板上に形成されたモノリシックアクティブマトリクス回路において、

周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、

マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、

前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタのチャネル形成領域と前記マトリクス領域の薄膜トランジスタのチャネル形成領域とはモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする半導体回路。

【請求項2】基板上に形成されたモノリシックアクティブマトリクス回路において、

周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、

マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、

前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域と前記マトリクス領域の薄膜トランジスタの活性領域とはモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする半導体回路。

【請求項3】基板上に形成されたモノリシックアクティブマトリクス回路において、

周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域は $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、

前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域中における前記金属元素の濃度と前記マトリクス領域の薄膜トランジスタの活性領域中における前記金属元素の濃度とは異なっており、

前記活性領域はモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする半導体回路。

【請求項4】基板上に形成されたモノリシックアクティブマトリクス回路において、

周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の濃度のシリコンの結晶化を助長する金属元素が添加されており、

前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域中における前記金属元素の濃度は、前記マトリクス回路の薄膜トランジスタの活性層中における前記金属元素の濃度に比較して多く、

前記活性領域はモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする半導体回路。

【請求項5】請求項1乃至請求項4において、金属元素としてFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Auから選ばれた一種または複数種類の元素が用いられることを特徴とする半導体回路。

【請求項6】基板上に形成されたモノリシックアクティブマトリクス回路において、

周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、

マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、

前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域はモノドメイン構造を有し、

前記マトリクス領域の薄膜トランジスタは結晶性を有する薄膜シリコン半導体膜で構成されていることを特徴とする半導体回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本明細書で開示する発明は、薄膜トランジスタ(TFT)を複数個有する半導体回路に関するものである。本明細書で開示する発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本明細書で開示する発明は、モノリシック型アクティブマトリクス回路(液晶ディスプレイ等に使用される)のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路に関する。

## 【0002】

【従来の技術】最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイト型トランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用される。

【0003】薄膜トランジスタを構成する薄膜半導体としては、アモルファスシリコン半導体やアモルファスシリコン半導体を加熱やレーザー光の照射によって結晶化させた結晶性シリコンがある。これらアモルファスシリコン薄膜や結晶性シリコン薄膜を用いた薄膜トランジスタは、アモルファスシリコンTFTと結晶性シリコンTFTと称される。

【0004】一般にアモルファス状態の半導体の電界移

動度は小さく、したがって、高速動作が要求されるTFTには利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコンTFTの研究・開発が進められている。

【0005】結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路（ドライバー等）をもCMOSの結晶性TFTで構成する、いわゆるモノリシック構造を有するものが知られている。

【0006】

【発明が解決しようとする課題】図3には、液晶ディスプレイに用いられるモノリシックアクティブマトリクス回路のブロック図を示す。図3に示す構造においては、基板7上に周辺ドライバー回路として、列デコーダー1、行デコーダー2が設けられ、また、多数の画素マトリクス状に配置されたマトリクス領域3にはトランジスタとキャパシタからなる画素回路4が多数形成され、マトリクス領域と周辺回路とは、配線5、6によって接続されている。周辺回路に用いるTFTは高速動作が、また、画素回路に用いるTFTは低リーク電流が要求される。それらの特性は物理的に矛盾するものであるが、同一基板上に同時に形成することが求められている。

【0007】しかしながら、同一プロセスで作製したTFTは全て同じ様な特性を示す。例えば、結晶シリコンを得るにはレーザーによる結晶化（レーザーアニール）という手段を使用することができるが、レーザー結晶化によって結晶化したシリコンでは、マトリクス領域のTFTも周辺駆動回路領域のTFTも同じ様な特性となってしまう。従って、画素回路に要求される低リーク電流特性と、周辺駆動回路に要求される高移動度特性という事項を両立させることは困難であった。本発明はこのような困難な課題に対して解答を与えんとするものである。

【0008】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の金属材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Ag、Auから選ばれた一種または複数種類の元素、さらにはこれらの元素の化合物（例えば珪化物）を用いることができる。

【0009】具体的には、これらの金属元素を有する被膜、粒子、クラスター等をアモルファスシリコンに密着させ、あるいはイオン注入法等の方法によってアモル

ファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、例えば550℃以下の温度で4時間程度の加熱処理を行うことで、結晶化させることができる。

【0010】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、金属元素の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、熱平衡的に結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 存在することが必要であることが判明している。またその濃度が $5 \times 10^{14} \text{ cm}^{-3}$ 以上となると、半導体材料としての物性が損なわれてしまい、好ましくないことも判明している。即ち、珪素の結晶化を助長する金属元素の濃度は、 $1 \times 10^{14} \text{ cm}^{-3} \sim 5 \times 10^{14} \text{ cm}^{-3}$ の濃度とすることが好ましいことが判明している。また上記金属元素の中で、ニッケルを用いることが最も効果的であることも判明している。なお、本明細書中における不純物濃度は、SIMS（2次イオン分析法）で計測される最小値として定義される。

【0011】また、アモルファスシリコン膜にレーザー光を照射して結晶化を行わせ結晶性シリコン薄膜を得る方法において、レーザー光の照射時に試料を450℃以上の温度で加熱することによって、粒径の大きなドメイン（モノドメイン領域と称する）を得られることが判明している。このモノドメイン領域は、内部が単結晶と見なせる結晶構造を有している。

【0012】モノドメインは、その内部に結晶粒界が存在していない。また単結晶シリコンウエハーとは異なり、内部に中和されるべき点欠陥を有している。そして、この点欠陥を中和するための水素またはハロゲン元素を $1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の濃度で含有している。

【0013】上記モノドメイン領域を形成する出発膜に前述のニッケル等の金属元素を導入した場合、より欠陥の密度が小さいモノドメイン領域を得ることができる。この金属元素を導入することにより形成したモノドメイン領域を利用して薄膜トランジスタを作製した場合、より高移動度を有し、より大きなON電流を流すことができる薄膜トランジスタを得ることができる。

【0014】本明細書で開示する発明では、上記の珪素の結晶化を助長する金属元素による作用を利用して、同一基板上に選択的に異なる特性を有する薄膜トランジスタを作製することを特徴とする。即ち、アモルファスシリコン膜を形成して、一部に選択的に触媒元素を有する材料を密着させ、あるいは混入させ、ついで試料を450℃～750℃の温度、好ましくは450℃～600℃の温度に加熱した状態において、全面にレーザー光もしくはそれと同等な強光を照射すること、あるいは全面にレーザーもしくはそれと同等な強光を走査させることに

よって、電気的特性の異なるモノドメイン領域を同一基板上に形成し、この作り分けられたモノドメイン領域を利用して必要とする特性を有する薄膜トランジスタを必要とする領域に形成する。

【0015】また、導入する金属元素の濃度を異ならせることにより、電気的な特性の異なるモノドメイン領域を選択的に形成し、これらモノドメイン領域を用いて異なる特性を有する薄膜トランジスタを同一基板上に作り分けることもできる。

【0016】なお、レーザー光または強光を照射する際に試料を450℃～750℃、ガラス基板の耐熱性を考慮した場合には、450℃～600℃の温度で試料を加熱することが非常に重要である。

【0017】またモノドメイン領域を形成するためのレーザー光または強光の照射の前または後に加熱処理を加えることは効果的である。レーザー光の照射の前に加熱処理を加えた場合、レーザー光の照射の際における結晶成長の核を形成することができる。またレーザー光の照射の後に加熱処理を行うと、膜中の欠陥を減少させることができる。またレーザー光の照射の前とレーザー光の照射の後に加熱処理を行うと、上記2つの効果を得ることができる。即ち、結晶核の形成と膜中に欠陥の減少とを実現することができる。

【0018】以下に本明細で開示する発明を示す。本明細書で開示する主要な発明の一つは、基板上に形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタのチャンネル形成領域と前記マトリクス領域の薄膜トランジスタのチャンネル形成領域とはモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする。

【0019】上記構成において、「基板上に形成されたモノリシックアクティブマトリクス回路」としては、図3に示す構成を挙げることができる。また「周辺駆動回路を構成する少なくとも一部の薄膜トランジスタ」としては、図3の周辺駆動回路1および2を構成する薄膜トランジスタを挙げることができる。また「薄膜トランジスタの活性領域」としては、図1(C)の142～143で示されるような、薄膜トランジスタのソース領域、ドレイン領域、チャンネル形成領域を有する領域を挙げることができる。この活性領域中には、オフセットゲイト領域やライトドープ領域が含まれていてもよい。

【0020】また「マトリクス領域」の例としては、図3の3で示される領域を挙げることができる。このマトリクス領域は、マトリクス状に配置された複数の画素（一般に数百万に達する）が配置されている領域であ

る。また「チャンネル形成領域がモノドメイン構造を有する薄膜シリコン半導体膜で構成されている」という構成としては、図1に示す例を挙げることができる。即ち、図1に示す構成においては、モノドメイン領域121～123の中に各薄膜トランジスタの活性領域141～143が形成されている。

【0021】なお周辺駆動回路に配置される薄膜トランジスタの全てに高移動度、高速動作、大きなON電流を流せる構成が要求されるとは限らない。周辺駆動回路として図6(A)または図6(B)に示すようなインバータ回路を利用した場合、Nチャネル型薄膜トランジスタ601と603とは、負荷抵抗として機能するので、必ずしも高移動度、高速動作、大きなON電流を流せる構成が要求されない。

【0022】図6(A)に示すのは、負荷として機能するN型の薄膜トランジスタ601としてデプレッション型を用い、N型の薄膜トランジスタ602としてエハンスメント型を用いた場合のインバータの基本的な構成を示す。また図6(B)に示すのは、負荷として機能するN型の薄膜トランジスタ603としてエハンスメント型を用い、N型の薄膜トランジスタ602としてエハンスメント型を用いた場合のインバータの基本的な構成を示す。

【0023】このような場合は、薄膜トランジスタ601や603の活性領域を結晶化を助長する金属元素を用いて構成する必要は必ずしもない。また、薄膜トランジスタ601や603の活性領域をモノドメイン構造とする必要も必ずしもない。

【0024】従って、このような場合には、本明細書で開示する発明における「周辺駆動回路を構成する少なくとも一部の薄膜トランジスタ」としては、図6(A)または図6(B)における602や604で示される薄膜トランジスタが該当することになる。

【0025】他の発明の構成は、基板上に形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域と前記マトリクス領域の薄膜トランジスタの活性領域とはモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする。

【0026】他の発明の構成は、基板上に形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域は $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、前記周辺駆動回路を構成する少なくとも一部の薄膜トラン

ジスタの活性領域中における前記金属元素の濃度と前記マトリクス領域の薄膜トランジスタの活性領域中における前記金属元素の濃度とは異なっており、前記活性領域はモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする。

【0027】上記構成は、結晶化を助長する金属元素の添加量（導入量）を変化させることによって、得られるモノドメイン領域の電気特性を制御することを特徴とする。前述したように、周辺駆動回路領域において要求される薄膜トランジスタの特性とマトリクス領域において要求される薄膜トランジスタの特性は異なる。即ち、周辺駆動回路領域においては、他の特性を犠牲にしても高移動度を有し大きなON電流を流す特性、そして高速動作が要求される。一方、マトリクス領域においては、他の特性を犠牲にしても、OFF電流の小さな薄膜トランジスタが必要とされる。一般に大きなON電流を流すことのできる構成を実現した場合、OFF電流もまた増大してしまう。

【0028】そこで、上記構成においては、周辺駆動回路領域に配置される薄膜トランジスタを構成する薄膜珪素半導体は、結晶化を助長する金属元素の導入量を多くし、より結晶性が高くなるようにする。そして、より大きなON電流を流すことができる薄膜トランジスタを構成する。

【0029】一方、マトリクス領域においては、結晶化を助長する金属元素の導入量を少なくし、活性領域の結晶性は劣る（欠陥密度が相対的に多くなる）が、OFF電流を小さくすることができる薄膜トランジスタを得る。

【0030】他の発明の構成は、基板上に形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{11} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の濃度のシリコンの結晶化を助長する金属元素が添加されており、前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域中における前記金属元素の濃度は、前記マトリクス回路の薄膜トランジスタの活性層中における前記金属元素の濃度に比較して多く、前記活性領域はモノドメイン構造を有する薄膜シリコン半導体膜で構成されていることを特徴とする。

【0031】他の発明の構成は、基板上に形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域には $1 \times 10^{11} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の濃度でシリコンの結晶化を助長する金属元素が添加されており、マトリクス領域の薄膜トランジスタの活性領域には前記金属元素が添加されておらず、前記周辺駆動回路を構成する少なくとも一部の薄膜トランジスタの活性領域はモノドメイン構造を有し、前記マトリクス領域の薄膜トランジスタは結晶性を有する薄膜シリコン半導体膜で構成

されていることを特徴とする。

【0032】上記構成は、マトリクス領域の薄膜トランジスタをレーザー光の照射や加熱処理によって得られる結晶性を有するシリコン半導体薄膜で構成したことを特徴とする。マトリクス領域の薄膜トランジスタは、高移動度や高速動作が期待されないので、従来より公知の結晶性を有するシリコン半導体膜を用いた薄膜トランジスタで構成することができる。

【0033】

10 【作用】珪素の結晶化を助長する金属元素の少ない領域をアクティブマトリクス回路の画素回路等の低OFF電流を有するTFTに用い、金属元素の多い領域を周辺駆動回路等の高速TFTとして用いることによって、低OFF電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することができる。

【0034】

【実施例】

【実施例1】本実施例では、シリコンの結晶化を助長する金属元素をアモルファスシリコン膜に対して選択的に導入することによって、選択的に異なる特性を有する薄膜トランジスタを作製する。特に、本実施例は、アクティブマトリクス型の液晶表示装置の画素領域に配置される薄膜トランジスタを金属元素の導入無しで形成し、また周辺回路を構成する薄膜トランジスタを金属元素の導入によって形成することを特徴とする。

【0035】図1に本実施例の作製工程の断面図を示す。図1に示す構成においては、図面左側の2つの薄膜トランジスタが周辺駆動回路（図3の1および2に対応する）に配置される薄膜トランジスタを示し、図面右側の1つの薄膜トランジスタがマトリクス領域（図3の3に対応する）に配置される薄膜トランジスタを示す。

【0036】まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成する。さらに、プラズマCVD法または減圧熱CVD法により、厚さ500~1500Å、例えば500Åの真性（I型）のアモルファスシリコン膜12を堆積する。さらに連続して、スパッタリング法によって、ニッケルを $1 \times 10^{11} \text{ cm}^{-2}$ の濃度で含む極薄いシリコン膜（厚さ5~200Å、例えば50Å）13を図1に示すように選択的に形成する。このシリコン膜13を選択的に形成するには、スパッタリング法とリフトオフ法を用いればよい。こうして、ニッケル元素が非晶質珪素膜に対して選択的に導入された状態が実現される。（図1（A））

【0037】ここでは、ニッケルを含んだシリコン膜を用いて、ニッケル元素を導入する例を示したが、例えばアモルファスシリコン膜の表面にニッケルを含んだ溶液（酢酸塩ニッケル塩溶液等が利用できる）を塗布することによって、アモルファスシリコン膜にニッケルを導入する方法等を利用してよい。

【0038】次に、アモルファスシリコン膜12の全面にレーザー光を照射して、図1(B)に示すようにアモルファスシリコン膜12の結晶化を行う。ここではレーザー光としてKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いる。またレーザー光の照射の際に、試料を550℃の温度に加熱する。試料の加熱方法は、基板を保持する基板ホルダー内に発熱体を配置し、この基板ホルダーを加熱することによって試料を加熱する方法、試料に赤外線照射して、試料を加熱する方法、等を挙げることができる。

【0039】レーザー光としては、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~500mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射とすればよい。

【0040】上記レーザー光の照射を行うことによって、アモルファスシリコン膜を全面的に結晶化させることができる。この結晶化の際に多数のモノドメイン領域が形成される。この結晶化によって形成された多数のモノドメイン領域は、図1において121~123で示される。

【0041】121と122で示されるモノドメイン領域と123で示されるモノドメイン領域とは、互いに多少異なったものとなる。即ち、121と122の領域におけるものは、ニッケルの作用により欠陥の少ないより単結晶シリコンに近いものとなり、123におけるものは、欠陥の存在が相対的に多いものとなる。なお、それぞれのモノドメイン領域は、結晶粒界100を介してお互いに隣合って存在している。

【0042】図1(B)に示す状態を上面からみた様子を図5(A)に示す。図5(A)には、モノドメイン領域121~123が示されている。このようにして得られたシリコン膜をフォトリソグラフィ法によってパターンニングし、活性層となる島状シリコン領域141と142(周辺駆動回路領域)および143(マトリクス領域)を形成する。ここで注意しなければならぬのは、モノドメイン領域内中に少なくともチャンネル形成領域が形成されるようにすることである。またできることならば、各

【0043】モノドメイン領域と活性層となる島状シリコン領域との位置関係を図5(B)に示す。図5(B)に示すように、活性層を構成する島状シリコン領域141~143は、各モノドメイン領域121~123の概略の内部に構成されている。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲート絶縁膜として堆積する。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は2

00~400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0~0.5、例えば0.1以下とする。引き続いて、減圧CVD法によって、厚さ3000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積する。なお、この酸化珪素15とシリコン膜の成膜工程は連続的に行うことが望ましい。そして、シリコン膜をパターンニングして、ゲート電極16a、16b、16cを形成する。(図1(C))

【0044】次に、プラズマドーピング法によって、シリコン領域にゲート電極をマスクとして不純物(燐およびホウ素)を注入する。ここではドーピングガスとして、フォスフィン(PH<sub>3</sub>)およびジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、前者の場合は、加速電圧を60~90kV、例えば80kV、後者の場合は、40~80kV、例えば65kVとする。ドーズ量は1×10<sup>15</sup>~8×10<sup>15</sup>cm<sup>-2</sup>、例えば、燐を2×10<sup>15</sup>cm<sup>-2</sup>、ホウ素を5×10<sup>15</sup>とする。この結果、N型の不純物領域17a、P型の不純物領域17bおよび17cが形成される。

【0045】その後、レーザー光を照射することによって、不純物を活性化させる。レーザー光としてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いる。レーザー光としては、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射する。またレーザー照射時に、基板を100~450℃、例えば、250℃に加熱する。こうして不純物領域17a~17cを活性化する。(図1(D))

【0046】またこのレーザー光の照射による不純物領域17a~17cの活性化の際に、試料を450℃~750度、好ましくは500℃~600℃の温度に加熱することは有用である。この場合、不純物領域17a~17cの活性化をより効果的に行うことができる。

【0047】続いて、厚さ6000Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、さらに、スパッタリング法によって厚さ500~1000Å、例えば800Åのインジウム錫酸化膜(ITO)を形成し、これをパターンニングして画素電極19を形成する。次に層間絶縁物にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路TFTの電極・配線20a、20b、20c、マトリクス画素回路TFTの電極・配線20d、20eを形成する。最後に、1気圧の水素雰囲気



【0048】本実施例で得られた薄膜トランジスタ(TFT)の活性領域に含まれるニッケルの濃度を2次イオン質量分析(SIMS)法によって分析したところ、周辺駆動回路領域の薄膜トランジスタ(Pチャネル型とNチャネル型とで構成される左側の2つの薄膜トランジスタ)からは $1 \times 10^{11} \sim 5 \times 10^{11} \text{ cm}^{-2}$ のニッケルが、また、画素回路のTFTからは測定限界( $1 \times 10^{11} \text{ cm}^{-2}$ )以下のニッケルが検出された。

【0049】本実施例において示した薄膜トランジスタの中で、左側の2つの周辺回路領域の薄膜トランジスタは、活性層中の欠陥が少なく、高移動度を有している。そして大きなON電流を流すことのできる薄膜トランジスタである。

【0050】また右側の薄膜トランジスタで示される画素領域の薄膜トランジスタは、活性層中におけるニッケル濃度が測定限界以下と低いので、ニッケル原子の存在に起因するOFF電流を低減させることができる。(ニッケル原子は、キャリアのトラップセンターとなり、OFF電流増大の原因となると考えられる)

【0051】〔実施例2〕図2に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)21上に、スパッタリング法によって、厚さ2000Åの酸化珪素膜22を形成する。次に、プラズマCVD法または減圧熱CVD法により、厚さ200~1500Å、例えば500Åのアモルファスシリコン膜23を堆積する。そして、アモルファスシリコン膜23をフォトリソでマスクして、イオン注入法によって選択的にニッケルイオンを注入する。ここでは、ニッケルが $1 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{11} \text{ cm}^{-2}$ だけ含まれるような領域25を作製する。この領域25の深さは200~500Åとし、加速エネルギーはそれに合わせて最適なものを選択する。本実施例のようにイオン注入法を用いた場合、実施例1に比べてニッケルの濃度を制御し易いという有用性を得ることができる。

(図2(A))

【0052】次に、基板を窒素雰囲気中で450~600℃、例えば550℃、2時間で加熱処理する。この加熱処理の結果、ニッケルのドーピングされた領域では予備的に結晶化が進行する。換言すれば、モノドメイン領域が成長させる際に、その成長を容易たらしめる結晶核がこの加熱処理工程で形成される。

【0053】その後、試料を550℃の温度に加熱した状態でアモルファスシリコン膜23の全面にレーザー光を照射して、その領域の結晶化を行う。レーザーとしてはKrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いる。レーザーのエネルギー密度は、200~500mJ/cm<sup>2</sup>、例えば350mJ/cm<sup>2</sup>とし、1か所につき2~10ショット、例えば2ショット照射する。(図2(B))

【0054】この結果、シリコン膜が結晶化し、多数の

モノドメイン領域が形成される。隣合うモノドメイン領域は、結晶粒界100によって仕切られている。得られたモノドメイン領域において、23aで示されるモノドメイン領域の方が、そうでない領域23bよりも結晶性が良好なものである。より具体的には、モノドメイン領域23aの方がモノドメイン領域23bよりも欠陥が少ない結晶構造とすることができる。ただし、モノドメイン領域23a中におけるニッケル元素の濃度は、モノドメイン領域23bにおけるニッケル元素に比較して桁違いに大きくなる。

【0055】その後、このシリコン膜をパターニングして、島状シリコン領域26a(周辺駆動回路領域)および26b(マトリクス画素回路領域)を形成する。さらに、テトラ・エトキシ・シラン(Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)、TEOSと酸素を原料として、プラズマCVD法によってTFTのゲート絶縁膜として、厚さ1000Åの酸化珪素27を形成する。

【0056】引き続いて、スパッタリング法によって、厚さ6000~8000Å、例えば6000Åのアルミニウム膜(2%のシリコンまたはスカンジウムを含む)を堆積した。アルミニウムの代わりにタンタル、タングステン、チタン、モリブデンでもよい。なお、この酸化珪素27とアルミニウム膜の成膜工程は連続的に行うことが望ましい。

【0057】そして、アルミニウム膜をパターニングして、TFTのゲート電極28a、28b、28cを形成する。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物質層29a、29b、29cを形成する。陽極酸化は、酒石酸を1~5%含有したエチレングリコール溶液で行う。得られた酸化物質層の厚さは2000Åである。(図2(C))

【0058】次に、プラズマドーピング法によって、シリコン領域に不純物(燐)を注入する。ここでは、ドーピングガスとして、フォスフィン(PH<sub>3</sub>)を用い、加速電圧を60~90kV、例えば80kVとする。ドーピング量は $1 \times 10^{11} \sim 8 \times 10^{11} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{11} \text{ cm}^{-2}$ とする。このようにしてN型の不純物領域30aを形成する。さらに、今度は左側のTFT(Nチャネル型TFT)をフォトリソでマスクして、再び、プラズマドーピング法で右側の周辺回路領域TFT(PチャネルTFT)およびマトリクス領域TFTのシリコン領域に不純物(ホウ素)を注入する。ここでは、ドーピングガスとして、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、加速電圧を50~80kV、例えば65kVとする。ドーピング量は $1 \times 10^{11} \sim 8 \times 10^{11} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い $5 \times 10^{11} \text{ cm}^{-2}$ とする。このようにしてP型の不純物領域30b、30cを形成する。

【0059】その後、レーザーアニール法によって不純物の活性化を行う。レーザーとしてはKrFエキシマレーザー(波長248nm、パルス幅20nsec)を

用いる。レーザーのエネルギー密度は、 $200 \sim 400 \text{ mJ/cm}^2$ 、例えば  $250 \text{ mJ/cm}^2$  とし、1か所につき  $2 \sim 10$  ショット、例えば  $2$  ショット照射とする。(図 2 (D))

【0060】続いて、層間絶縁物として厚さ  $2000 \text{ \AA}$  の酸化珪素膜 31 を TEOS を原料とするプラズマ CVD 法によって形成し、さらに、スパッタリング法によって、厚さ  $500 \sim 1000 \text{ \AA}$ 、例えば  $800 \text{ \AA}$  のインジウム錳酸化膜 (ITO) を堆積する。そして、これをエッチングして画素電極 32 を形成する。さらに、層間絶縁物 31 にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路 TFT のソース、ドレイン電極・配線 33 a、33 b、33 c および画素回路 TFT の電極・配線 33 d、33 e を形成する。以上の工程によって半導体回路が完成する。(図 2 (E))

【0061】作製された半導体回路において、周辺駆動回路領域の TFT (図面左側の 2 つの TFT) として、高移動度を有し、大きな ON 電流を流すことができるものが得られる。また、マトリクス領域に配置されるべき TFT (図面右側の 1 つ) として、周辺ドライバー回路領域の TFT 程大きな ON 電流を扱いことはできないが、比較的 OFF 電流の小さい特性を有する薄膜トランジスタを得ることができる。

【0062】【実施例 3】本実施例は、アモルファスシリコン膜に対して異なる濃度で結晶化を助長する金属元素を導入することにより、選択的に必要とする特性を有する薄膜トランジスタを得ることを特徴とする。特に本実施例においては、アクティブマトリクス型の液晶表示装置において、周辺駆動回路領域には、高濃度で金属元素 (本実施例ではニッケルを用いる) を導入し、マトリクス領域には低濃度で金属元素を導入することを特徴とする。

【0063】本実施例で示す構成を図 4 に示す。図 4 において、左側の 2 つの TFT は、相補型に構成される周辺回路領域を構成する回路である。また図面の右側に示す TFT が、複数の画素で構成されるマトリクス領域に配置されるスイッチング用の TFT である。

【0064】まずガラス基板 10 上に下地膜として酸化珪素膜 11 を  $2000 \text{ \AA}$  の厚さにスパッタリング法によって成膜する。次にアモルファスシリコン膜をプラズマ CVD 法または減圧熱 CVD 法によって  $500 \text{ \AA}$  の厚さに成膜する。そしてアモルファスシリコン膜 12 の表面に高濃度にニッケルを含有した薄膜 13 を選択的に成膜する。次に低濃度にニッケルを含有した膜 101 を成膜する。(図 4 (A))

【0065】ここでは、高濃度にニッケルを含有した膜 13 として、ニッケルを  $1 \times 10^{11} \text{ cm}^{-2}$  の濃度に含有した珪化ニッケル膜を用い、低濃度にニッケルを含有した膜 101 として、ニッケルを  $8 \times 10^{11} \text{ cm}^{-2}$  の濃度

で含有した珪化ニッケル膜を用いる。なお、珪化ニッケル膜の厚さは数十  $\text{\AA}$  程度である。

【0066】このようにすることによって、選択的に異なる濃度でニッケルをアモルファスシリコン膜中に導入することができる。そして、試料を  $550^\circ\text{C}$  の温度に加熱した状態でレーザー光を照射し、アモルファスシリコン膜 12 を結晶化させる。この工程で、12 a や 12 b で示されるモノドメイン領域を得ることができる。

【0067】モノドメイン領域 12 a とモノドメイン領域 12 b とを比較すると、12 a の領域にはより高い濃度でニッケルが含まれている。また、12 a の領域には点欠陥が少ないので、より高い移動度を有し、大きな ON 電流を流すことのできる TFT を形成するのは最適な領域となる。また、12 b の領域は、ニッケルの濃度が少ないので、移動度が抑制された分、低 OFF 電流特性を有した TFT を形成するのに適した領域となる。

【0068】図 4 (B) に示すような複数のモノドメイン領域を形成したら、図 1 (C) 以降の工程に示すのと同様に、回路を完成させる。

【0069】

【発明の効果】本発明によって、同一基板上に、高速動作が可能な結晶性シリコン TFT と低 OFF 電流特性を有したアモルファスシリコン TFT を形成することができる。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図 1】 実施例の作製工程断面図を示す。

【図 2】 実施例の作製工程断面図を示す。

【図 3】 モノリシック型アクティブマトリクス回路の構成例を示す。

【図 4】 実施例の作製工程断面図を示す。

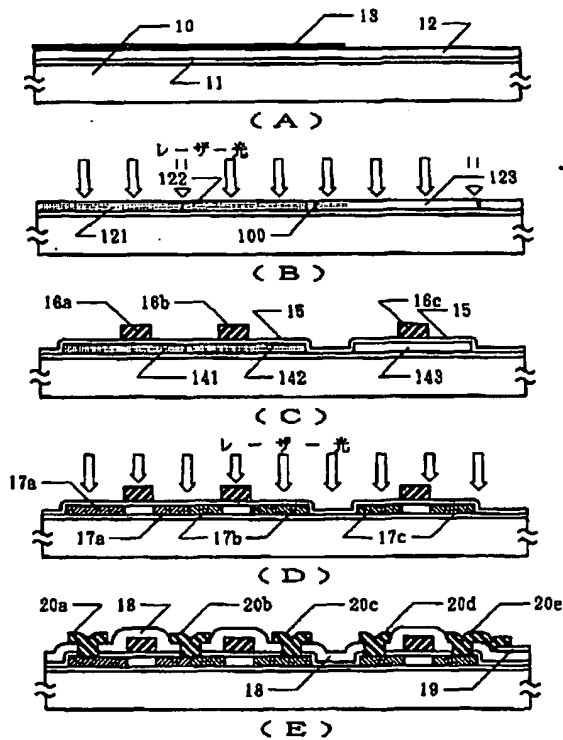
【図 5】 薄膜トランジスタの活性層とモノドメイン領域との関係を示す。

【図 6】 周辺駆動回路を構成するインバータ回路の例を示す。

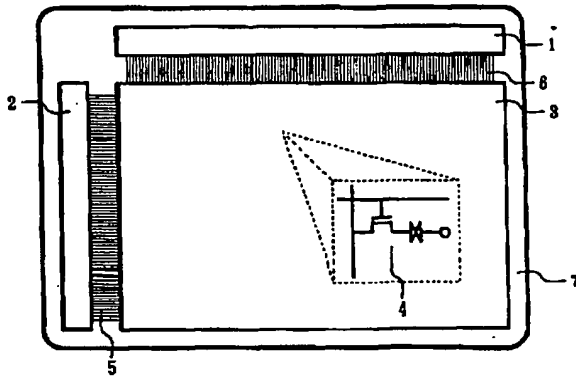
【符号の説明】

10	基板
11	下地絶縁膜 (酸化珪素)
12	アモルファスシリコン膜
13	ニッケルを含むシリコン膜
141~143	島状シリコン領域
15	ゲイト絶縁膜 (酸化珪素)
16a~16c	ゲイト電極 (燐ドーパされたシリコン)
17a~17c	ソース、ドレイン領域
18	層間絶縁物 (酸化珪素)
19	画素電極 (ITO)
20a~20e	配線

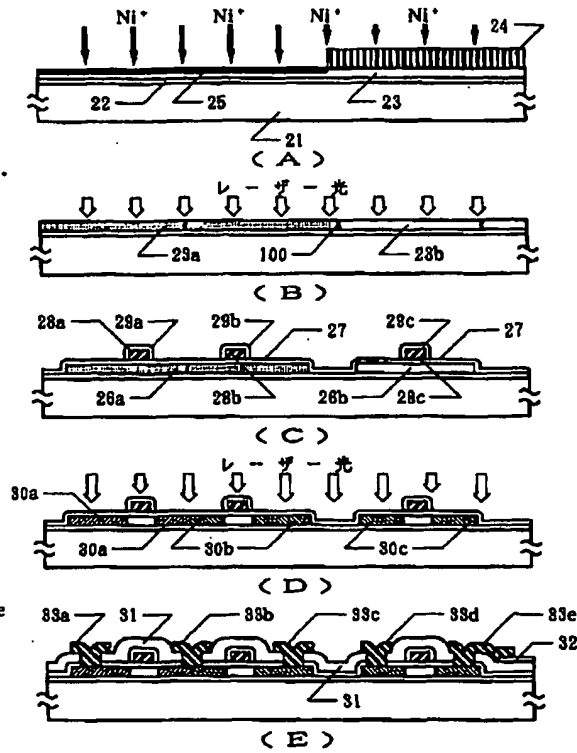
【図 1】



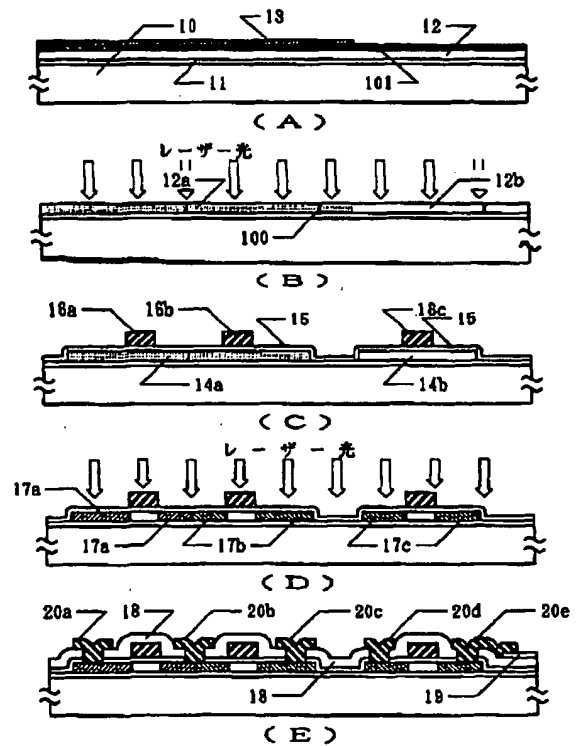
【図 3】



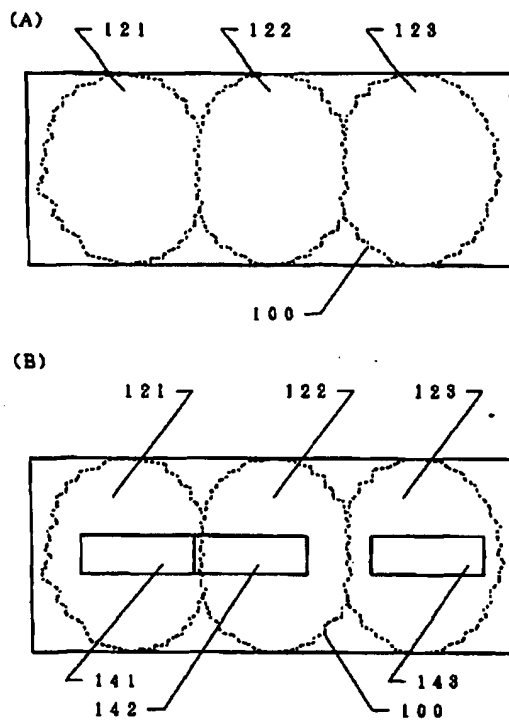
【図 2】



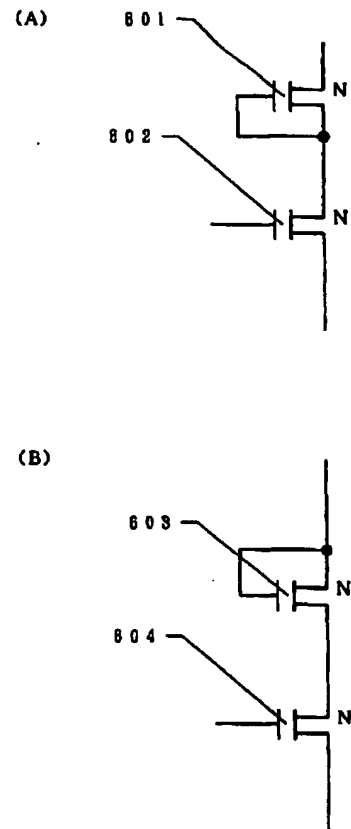
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H01L 21/268

21/336

識別記号

庁内整理番号

Z

F I

技術表示箇所